

DIY – Individual Prototyping and Systems Engineering

Übung 10: Entwurf und Fertigung von elektronischen Schaltungen

Max Gaukler

Lehrstuhl für Verteilte Systeme und Betriebssysteme
Friedrich-Alexander-Universität Erlangen-Nürnberg

<https://www4.cs.fau.de>

Sommersemester 2018



Die heutige Übung ist ein Crashkurs vom Schaltplan bis zur Platine:

1 Entwurf mit KiCAD

2 Fertigung im FAU FabLab



- 1** Schaltplan: eeschema
 - 1.1 Zeichnen
 - 1.2 Bauteile benennen (Annotation)
 - 1.3 Electric Rules Check
- 2** Footprints zuordnen: cvpcb (Footprint-Vorschau öffnen!)
- 3** Netzliste exportieren



4 Layout: pcbnew

4.1 Design-Regeln, Leiterbahnbreiten, Raster einstellen

4.2 Platinenumriss zeichnen (Linie auf Lage „Edge Cuts“)

4.3 Netzliste einlesen

4.4 Bauteile automatisch grob verteilen

klassische Anzeige (F9), Footprint-Modus auswählen,

Rechtsklick - globales Verteilen - alle Footprints verteilen, welche sich noch nicht auf der Platine befinden

4.5 Bauteile manuell platzieren

4.6 Leitungen legen

dazu Layout-Modus auswählen (andere Hotkeys!)

4.7 Massefläche

4.8 DRC ausführen

4.9 Exportieren („Plot“): PDF (FabLab) oder Gerber (externer Fertiger)



Designregeln fürs FabLab

Design Regel Editor

Netzklasseneditor Globale Design Regeln

Netzklassen:

	Abstandsmaß	Leiterbahnbreite	DuKo Durchmesser	DuKo Bohrdurchmesser	Micro DuKo Durchmesser	Micro DuKo Bohrdurchmesser
Default	0,25	0,25	3	0,9	0,3	0,1

Hinzufügen Entfernen Nach oben bewegen

Zugehörigkeit:

* (Beliebig)

Netz	Klasse
	Default
+5V	Default
GND	Default
Net-(C1-Pad1)	Default
Net-(D1-Pad1)	Default
Net-(D1-Pad2)	Default
Net-(P1-Pad2)	Default
Net-(P1-Pad3)	Default
Net-(P1-Pad5)	Default
Net-(R1-Pad2)	Default
Net-(U1-Pad5)	Default

<<< >>>

<< Alle auswählen Alle auswählen >>

* (Beliebig)

Netz	Klasse
	Default
+5V	Default
GND	Default
Net-(C1-Pad1)	Default
Net-(D1-Pad1)	Default
Net-(D1-Pad2)	Default
Net-(P1-Pad2)	Default
Net-(P1-Pad3)	Default
Net-(P1-Pad5)	Default
Net-(R1-Pad2)	Default
Net-(U1-Pad5)	Default

Abbrechen OK



Designregeln fürs FabLab

Design Regel Editor

Netzklasseneditor Globale Design Regeln

Optionen für Durchkontaktierungen:

Blinde/Vergrabene Durchkontaktierungen:

Keine blinde/vergrabene Durchkontaktierungen erlauben
 Blinde/Vergrabene Durchkontaktierungen erlauben

Micro-Durchkontaktierungen:

Keine Micro-Durchkontaktierung erlauben
 Micro-Durchkontaktierungen erlauben

Erlaubte Minimalwerte:

Mindestleiterbahnbreite (mm):

DuKo Minimaldurchmesser (mm):

DuKo Minimalbohrdurchmesser (mm):

Micro DuKo Minimaldurchmesser (mm):

Micro DuKo Minimalbohrdurchmesser (mm):

Spezielle Angaben, um die voreingestellten Werte von Durchkontaktierungen und Leiterbahnsegmenten zu ersetzen.

Benutzerdefinierte DuKo-Größen:

Bohrdurchmesser: Nichts oder 0 => Voreingestellter Wert der Netzklasse

	Durchmesser	Bohrung
DuKo 1		
DuKo 2		
DuKo 3		
DuKo 4		
DuKo 5		
DuKo 6		
DuKo 7		
DuKo 8		

Benutzerdefinierte Leiterbahnbreiten:

	Breite
Leiterbahn 1	0,25
Leiterbahn 2	0,5
Leiterbahn 3	1
Leiterbahn 4	
Leiterbahn 5	
Leiterbahn 6	
Leiterbahn 7	
Leiterbahn 8	

Wenn es unbedingt sein muss, gehen auch 0,2 mm Breite/Abstand an einzelnen Stellen.



Blinkschaltung mit TLC555 Timer



- Neueste stabile Version 4.0.7 verwenden (Debian: \geq stretch-backports)
- **Dokumentation lesen**, insbesondere „Getting Started“:
<http://kicad-pcb.org/help/documentation/>
- Tutorial:
<https://hackaday.com/2016/11/17/creating-a-pcb-in-everything-kicad-part-1/>
- Beispieldateien: `/usr/share/kicad/demo/`
- Ab und zu Bildschirm aktualisieren (F3) gegen Grafikfehler
- ? drücken für Hotkey-Übersicht (je nach Kontext anders)

Schaltplan:

- Bedienung über Hotkeys, Maus nicht wie in Inkscape!
- Einfg-Taste: Letzten Befehl wiederholen („Autovervollständigung“)
- einzelne Bauteile haben versteckte Versorgungs-Pins – einblenden:
Einstellungen – Schaltplaneditor – versteckte Pins



Footprint-Auswahl in Cvp pcb:

- Zuordnen per Doppelklick
- Filter-Optionen durchprobieren (nach Schlüsselwort / Pinanzahl / ggf. Bibliothek filtern)
- Vorschau-Fenster öffnen!
- Danach nochmal Netzliste im Schaltplaneditor exportieren



Platinenlayout in pcbnew:

- OpenGL-/Cairo-Anzeigemodus (F11/F12) bietet neue Funktionen
 - ermöglicht interaktives Routing. Routing-Strategie wechseln (Umgehen oder Schieben): Taste e oder Rechtsklick - Routing-Eigenschaften.
 - einzelne Funktionen nur in klassischem Anzeigemodus (F9).
 - ganze Leiterbahn bzw. Netz löschen: ESC, anklicken, i bzw. u, ENTF
 - Tip für besseren Kontrast: Im Lagen-Manager Leiterbahn-Farbe umstellen (Mittlere Maustaste auf Farbfeld) und Mask-Lagen ausblenden
- Um bestimmtes Bauteil zu platzieren: t drücken, Name eingeben
- Schaltplan in zweitem Fenster daneben legen. Klick auf Bauteil in Platine zeigt es im Schaltplan (und umgekehrt).



1 Entwurf mit KiCAD

2 Fertigung im FAU FabLab



hier: Design und Fertigung einer Schaltung im Hobby-/FabLab-Maßstab:

- Maximal zweiseitig
- Möglichst wenige Durchkontaktierungen
- kein Lötstopplack



Nachdem die Platine erstellt ist und keine DRC-Fehler mehr aufkommen, kann sie gefertigt werden. Dazu sind die folgenden Schritte nach der Anleitung der Platinenfertigung¹ auszuführen.

- Layout gespiegelt ausdrucken, nur die Kupferlagen, eine pro Blatt.
- Ein kleiner Text im Kupfer hilft zu erkennen, ob der Ausdruck tatsächlich gespiegelt ist.
- Platinenmaterial zusägen. Am Rand ein paar mm stehenlassen.
- Die Platinenkanten anfeilen, damit vom Schneiden kein Kupfer hochsteht und die Belichtung stört.
- Am Belichter stehend: Blaue Folie von der Platine abziehen.
- Platine dann mit dem Kupfer direkt auf die Tonschicht legen und Deckel schließen.

¹https://brain.fablab.fau.de/build/platinenaetzer-einweisung/Einweisung_Platinenaetzer.pdf,
siehe auch <https://fablab.fau.de/tool/platinenfertigung/>



- Bei Papier als Maske 9:40 min belichten
- Bei Chemie und beim Bohren **IMMER SCHUTZBRILLE TRAGEN.**
- Platine in NaOH-Lösung entwickeln. Das genaue Vorgehen steht in der Einweisung.
- Platine waschen.
- Platine in die Ätzküvette hängen und ätzen lassen.
- Platine waschen und abtrocknen.
- Löcher bohren. Für Löcher von 0,2 bis 2,7 mm sind Bohrer vorhanden.
- Überschüssigen Photolack entfernen: ohne Maske 2 min belichten, nochmal entwickeln
- nach Wahl: Platine verzinnen.

Die Platine ist nun fertig und kann bestückt und getestet werden!

